

(科目コード : 8506120005JJ)

【改訂】第31版(2013-03-21)

【科目】電子工学特論

【科目分類】専門科目 【選択・必修の別】選択

【学期・単位数】前期・1単位

【対象学科・専攻】電子情報 5年

【担当教員】木村 真也

### 【授業目標】

- ・ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として、組み合わせ回路記述、順序回路記述、レジスタ・トランスファ・ロジック記述をマスターすること。
- ・シミュレータによる設計検証に必要な記述ができること。
- ・論理合成を行い、プログラマブル・ロジック・デバイスによる実装手法を習得すること。
- ・HDL記述から論理合成される回路イメージを描けること。

### 【教育方針・授業概要】

本科目の総授業時間数は(45分×2)×15回=22.5時間である。

Verilog HDLの文法事項(信号のタイプ, assign文, function, always文, ブロッキング代入, ノン・ブロッキング代入)を解説し, さらに階層構成の記述, 高度なテスト・ベンチの記述, 拡張状態遷移記述によるレジスタ・トランスファ・ロジック記述の手法を解説する。次に, Verilog HDL記述と論理合成される回路の対応を具合例を示して解説する。合わせて同等の機能を種々のスタイルで記述した例を示し, 論理合成後の回路規模, 動作速度の実例から記述方法の重要性を明らかにする。また, ソフトウェアにはない並列処理の考え方および回路構成とその記述, ソフトウェアのハードウェア化について解説する。授業は, 講義と実習(シミュレーション, 論理合成, 配置配線, 実装テスト)を段階毎に行いステップ・アップするスパイラル方式で進める。

### 【教科書・教材・参考書等】

教科書: わかるVerilog HDL入門: 木村真也: CQ出版社: 978-4-7898-3756-9

参考書: コンピュータの原理と設計: 木村真也・鹿股昭雄: 自費出版

参考: 「LSI工学I, II」講義ノート

### 【授業形式・視聴覚・機器等の活用】

- ・Veritak (Verilogシミュレータ)
- ・Xilinx ISE WebPack
- ・論理回路実習システム(スタンドアローン版)
- ・ネットワーク対応論理回路実習システム

### 【メッセージ】

- ・授業に集中し, 必ずノートをとること。
- ・課題は自ら取り組むこと。
- ・課題は, とばさずに順番に取り組むこと。
- ・自宅のパソコンに開発環境をインストールすれば, ネットワーク経由で回路の実装テストが可能である。

### 【URLアドレス】

実習関連サイト: <http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/VLSIsys1/VLSIsys1.html>

### 【成績評価方法】

[前期]中間試験: 25%, 期末試験: 25%, レポート: 50%, レポートには回路実装実習も含む。

### 【達成目標】

|   | 達成目標  | 割合   | 評価方法                           |
|---|---|------|--------------------------------|
| 1 | ハードウェア記述言語「Verilog HDL」を用いた論理回路設計として, 組み合わせ回路と順序回路を記述できる。および, レジスタ・トランスファ・ロジック記述ができる。 | 70 % | 中間試験15%, 期末試験15%, 実習およびレポート40% |
| 2 | シミュレータによる設計検証に必要な記述ができる。  | 20 % | 中間試験5%, 期末試験5%, 実習およびレポート10%   |
| 3 | HDL記述から論理合成される回路イメージを描くことができる。  | 10 % | 中間試験5%, 期末試験5%                 |

### 【本校の学習・教育目標】

- (C) 技術的問題解決のための専門分野の基本的知識を身に付ける  
各学科における専門科目を学習することにより、技術的課題を理解し対応できる

【授業計画】（電子工学特論）

| 回数        | 授業の主題                      | 内容  | レポート   | 宿題 |
|-----------|----------------------------|---|--|----|
| 第1回～第5回   | Verilog HDL記述の復習とシミュレータの操作 | <ul style="list-style-type: none"> <li>・組み合わせ回路の記述(assign文, function)</li> <li>・基本順序回路の記述(always文, ブロッキング代入, ノン・ブロッキング代入)</li> <li>・テスト・ベンチ記述</li> <li>・シミュレーション実習</li> <li>・論理合成・配置配線実習</li> <li>・FPGA実装テスト</li> </ul> | <ul style="list-style-type: none"> <li>・課題1 (7セグメントLEDデコーダのダイナミック点灯制御)</li> </ul>                                |    |
| 第6回～第8回   | 順序回路の記述                    | <ul style="list-style-type: none"> <li>・ミラー型/ムア型の記述</li> <li>・シミュレーション実習</li> <li>・論理合成・配置配線実習</li> <li>・FPGA実装テスト</li> </ul>   | <ul style="list-style-type: none"> <li>・課題2 (1桁アップ・ダウンカウンタのシミュレーション)</li> <li>・課題3 (2桁アップ・ダウンカウンタの実装)</li> </ul> |    |
| 第9回～第11回  | 拡張状態遷移記述                   | <ul style="list-style-type: none"> <li>・乗算アルゴリズム</li> <li>・レジスタ・トランスファ・ロジック記述</li> <li>・データ・パス部を想定した記述</li> <li>・シミュレーション実習</li> <li>・論理合成・配置配線実習</li> <li>・FPGA実装テスト</li> </ul>  | <ul style="list-style-type: none"> <li>・課題4 (部分積蓄積累算法による乗算回路)</li> </ul>   |    |
| 第12回      | 複数シーケンサによる並列制御             | <ul style="list-style-type: none"> <li>・シリアル制御と並列制御</li> <li>・並列制御の記述</li> <li>・シーケンサ間の同期の取り方</li> <li>・シミュレーション実習</li> <li>・論理合成・配置配線実習</li> <li>・FPGA実装テスト</li> </ul>   | <ul style="list-style-type: none"> <li>・課題5 (ステップ・モータの制御回路)</li> </ul>   |    |
| 第13回～第15回 | システム設計から実装までの総合演習          | <ul style="list-style-type: none"> <li>・システム設計, 機能分割, モジュール設計</li> <li>・シミュレーション実習</li> <li>・論理合成・配置配線実習</li> <li>・FPGA実装テスト</li> </ul>   | <ul style="list-style-type: none"> <li>・課題6 (自由課題)</li> </ul>  |    |