

(科目コード : 8506220005JJ)

【改訂】第31版(2013-03-21)

【科目】電子工学特論

【科目分類】専門科目 【選択・必修の別】選択 【学期・単位数】後期・1単位

【対象学科・専攻】電子情報 5年

【担当教員】木村 真也

【授業目標】

- ・マイクロプロセッサの設計を通して、Verilog HDLを用いた大規模論理回路の設計ができるようになること。
- ・設計したマイクロプロセッサをFPGA上に実装して動作確認すること。
- ・大規模デジタル・システムの設計方法を体得すること。

【教育方針・授業概要】

本科目の総授業時間数は(45分×2)×15回=22.5時間である。

電子工学特論IIは、「LSI工学I」「LSI工学II」「電子工学特論I」の総合演習科目に位置する科目である。モデル・アーキテクチャ(命令セットのみ規定)に対して、各自が機能拡張や命令コード設定、レジスタ・トランスファ

・ロジック設計等を行ない、ハードウェア記述言語Verilog HDLを使用して設計および検証を行い、フィールド・プログラマブル・ゲート・アレイ(FPGA)上に実装を行う。命令セットを1～3に分け、次に示す6段階に分けて設計

・実装を進める。

・ステップ0 CPUのアーキテクチャ仕様の決定。

・ステップ1 命令セット1の範囲について、CPUとメモリを一体化した拡張状態遷移記述をVerilog HDLで作成し、シミュレーションにして設計検証する。

・ステップ2 ステップ1で作成したVerilog HDL記述を元にCPU部とメモリ部を分離した記述を作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。

・ステップ3 命令セット2を加えたモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。

・ステップ4 命令セット3を加えたモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。

・ステップ5 データ・パス部と制御部を分離したモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。

さらに時間があれば、高速化を目指す(ステップ6)。

【教科書・教材・参考書等】

参考書：コンピュータの原理と設計：木村真也・鹿股昭雄：自費出版

参考書：わかるVerilog HDL入門：木村真也：CQ出版社：978-4-7898-3756-9

参考：「LSI工学I,II」講義ノート

参考：「電子工学特論I」講義ノート

・Veritak (Verilogシミュレータ)

・Xilinx ISE WebPack

・高度ハードウェア実装システム(スタンドアローン版)

・ネットワーク対応高度ハードウェア実装システム

【授業形式・視聴覚・機器等の活用】

設計作業には試行錯誤が伴うため、スケジュール通りに進むとは限らない。状況に応じて時間外に補う必要がある。

【メッセージ】

設計作業には試行錯誤が伴うため、スケジュール通りに進むとは限らない。状況に応じて時間外に補う必要がある。

自宅のパソコンに開発環境をインストールすれば、ネットワーク経由で回路の実装テストが可能である。

【成績評価方法】

[後期] 設計したCPUの仕様書、Verilog HDL記述、シミュレーション結果、実装結果をレポートとして提出。達成度により判定する。 ステップ2完了=70点 ステップ3完了=80点 ステップ4完了=90点 ステップ5完了=91点～95点 ステップ6=96点～

【達成目標】

	達成目標	割合	評価方法
1	マイクロプロセッサの設計を通して、Verilog HDLを用いた大規模論理回路の設計ができる。および、設計したマイクロプロセッサをFPGA上に実装して動作確認できる。および、大規模デジタル・システムの設計ができる。	100 %	<p>ステップ0～2（CPUのアーキテクチャ仕様の決定・命令セット1の範囲について、CPUとメモリを一体化した拡張状態遷移記述をVerilog-HDLで作成し、シミュレーションにして設計検証する。ステップ1で作成したVerilog-HDL記述を元にCPU部とメモリ部を分離した記述を作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。）70%</p> <p>ステップ3（命令セット2を加えたモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。）10%</p> <p>ステップ4（命令セット3を加えたモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。）5%</p> <p>ステップ5（データ・パス部と制御部を分離したモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。）5%</p> <p>ステップ6（高速化を検討したモデルを作成し、シミュレーションを行い、CPU部をFPGAで実装テストする。）5%</p> <p>各ステップにおける作業のおよその割合は次のとおりである。実装モデル記述（60%）テスト・ベンチ記述（10%）テスト・プログラム記述（10%）シミュレーション結果（10%）FPGA実装試験作業および結果（10%）</p>

【本校の学習・教育目標】

- (C) 技術的問題解決のための専門分野の基本的知識を身に付ける
各学科における専門科目を学習することにより、技術的課題を理解し対応できる

【授業計画】（電子工学特論）

回数	授業の主題	内容	レポート	宿題
第1回	ガイダンス	・モデル・アーキテクチャの解説		
第2回～第3回	ステップ0 アーキテクチャの決定	・レジスタ・セット決定 ・命令セット決定 ・命令コード決定 ・テスト・プログラムのアセンブル	・レポート1 (アーキテクチャ仕様, 命令コード表, メタ・アセンブラ用命令コード定義ファイル, テスト・プログラム・アセンブル結果)	
第4回～第7回	ステップ1 CPU・メモリー体モデルの作成 (命令セット1の範囲)	・補助レジスタの検討 ・命令のレジスタ・トランスファ・ロジック (RTL) 設計 ・Verilog HDLによるモデル化 ・テスト・ベンチの作成 ・シミュレーションによる動作検証	・レポート2 (全レジスタ仕様, RTL, Verilog HDL記述, シミュレーション結果)	
第8回～第9回	ステップ2 CPU・メモリー分離モデルの作成と実装 (命令セット1の範囲)	・Verilog HDLによるモデル化 ・テスト・ベンチの作成 ・シミュレーションによる動作検証 ・FPGA実装用最上位モジュールの作成 ・FPGA実装試験	・レポート3 (Verilog HDL記述, シミュレーション結果, 回路規模・動作速度データ)	
第10回～第11回	ステップ3 命令セット2を加えたモデルの作成と実装	・Verilog HDLによるモデル化 ・テスト・ベンチの作成 ・シミュレーションによる動作検証 ・FPGA実装試験	・レポート4 (Verilog HDL記述, シミュレーション結果, 回路規模・動作速度データ)	
第12回	ステップ4 命令セット3を加えたモデルの作成と実装	・Verilog HDLによるモデル化 ・テスト・ベンチの作成 ・シミュレーションによる動作検証 ・FPGA実装試験	・レポート5 (Verilog HDL記述, シミュレーション結果, 回路規模・動作速度データ)	
第13回～第15回	ステップ5 データ・バス部 / 制御部分離モデルの作成と実装	・データ・バス部構成の設計 ・Verilog HDLによるモデル化 ・テスト・ベンチの作成 ・シミュレーションによる動作検証 ・FPGA実装試験	・レポート6 (データ・バス部構成図, データ・バス部制御信号一覧表, Verilog HDL記述, シミュレーション結果, 回路規模・動作速度データ)	