

(科目コード : 8508020004JJ)

【改訂】第26版(2014-08-13)

【科目】LSI工学

【科目分類】専門科目 【選択・必修の別】選択 【学期・単位数】後期・1単位

【対象学科・専攻】電子情報 4年

【担当教員】木村 真也

【授業目標】

- CPUの動作と内部構造を理解し、説明できること。
- 制御構造の簡単なCPUの設計ができる程度の知識・能力を身につけること。
- 大規模なデジタル・システムの構成方法を自ら設計できる知識・能力を身につけること。
- 最新の設計手法であるハードウェア記述言語の概略を習得すること。

【教育方針・授業概要】

本科目の総授業時間数は(45分×2)×15回=22.5時間である。

「LSI工学I」に続き、デジタル・システムの構成方法について、モデル化の方法、基本回路構成、設計手法について解説する。具体例として実験装置として実在するコンピュータ(CDEC)を取り上げ、内部の構成と動作原理を解説する。合わせて、CDECのアーキテクチャから実際の論理回路に至るまでの設計方法を具体的に示す。また、最新の設計手法であるハードウェア記述言語として、Verilog HDLを解説する。さらにシミュレータおよび論理回路実習ボードを利用した実習も行う。この講義は引き続く「情報工学特論II」を受講する際の前提になる講義である。

【教科書・教材・参考書等】

教科書：コンピュータの原理と設計：木村真也・鹿股昭雄：自費出版：LSI工学Iでも使用

参考書：わかるVerilog HDL入門：木村真也：CQ出版社：978-4-7898-3756-9

参考書：コンピュータの設計とテスト：藤原秀雄：工学図書

【授業形式・視聴覚・機器等の活用】

- Veritak (Verilogシミュレータ)
- 論理回路実習システム(スタンドアローン版)
- ネットワーク対応論理回路実習システム

【メッセージ】

- 授業に集中し、必ずノートをとること。
- 課題は自ら取り組むこと。
- 自宅のパソコンに開発環境をインストールすれば、ネットワーク経由で回路の実装テストが可能である。

【URLアドレス】

実習関連情報：<http://www.ice.gunma-ct.ac.jp/~kimsyn/subject/LSI2/LSI2.html>

Verilog HDLスライド：http://www.ice.gunma-ct.ac.jp/~kimsyn/verilog_web/VerilogWEB.files/frame.htm

【事前に行う準備学習】

- 前回の授業の復習をしてくること。

【成績評価方法】

[後期]中間試験：40%、期末試験：40%、レポート：20%、レポートには回路実装実習も含む。

【達成目標】

	達成目標	割合	評価方法
1	CPUの動作と内部構造を理解し説明できる。	40%	CPUの動作と内部構造に関する試験(30%)と課題(10%)により評価する。
2	大規模なデジタル・システムを設計できる。	10%	大規模なデジタル・システムの構成方法に関する試験(10%)により評価する。
3	ハードウェア記述言語の文法基礎を理解し記述できる。	50%	ハードウェア記述言語(文法基礎と組み合わせ回路)に関する試験(40%)と課題(10%)により評価する。

【本校の学習・教育目標】

- (C) 技術的問題解決のための専門分野の基本的知識を身に付ける
各学科における専門科目を学習することにより、技術的課題を理解し対応できる
- (D) 技術的課題を分析し、解決するためのシステムをデザインする基礎能力を身に付ける
- (D-1) 自然科学、基礎工学、専門工学の知識を用いて、現実の技術的課題を理解し、それを解決するための工夫ができる

【JABEE評価】

(d-2-b) いくつかの工学の基礎的知識・技術を駆使して実験を計画・遂行し、データを正確に解析し、工学的に考察し、かつ説明・説得する能力

(d-2-c) 工学の基礎的な知識・技術を統合し、創造性を発揮して課題を探求し、組み立て、解決する能力

【授業計画】(LSI工学)

回数	授業の主題	内容	レポート	宿題
第1回～第3回	コンピュータの設計と実現(1) ～モデル・コンピュータのアーキテクチャ～	<ul style="list-style-type: none"> レジスタ・セットと命令セット メモリ構成 レジスタ・トランスファ・ロジック 		<ul style="list-style-type: none"> 追加命令のRTL記述の作成
第4回～第5回	コンピュータの設計と実現(2) ～データ・パス部の設計～	<ul style="list-style-type: none"> バス構成 レジスタ, ALU, メモリの構成 基本動作タイミング 制御信号 		
第6回～第7回	コンピュータの設計と実現(3) ～PLA制御による制御部の実現～	<ul style="list-style-type: none"> 状態制御の基本構成と動作タイミング PLA制御リスト PLA論理への変換 		
第8回～第9回	Verilog HDLの基礎(1)	<ul style="list-style-type: none"> 文法基礎 module構成 		
第10回～第11回	Verilog HDLの基礎(2)	<ul style="list-style-type: none"> assign文による組み合わせ回路の記述 functionによる組み合わせ回路の記述 		<ul style="list-style-type: none"> 7セグメントLEDデコーダのHDL記述作成 各種乗算回路のHDL記述作成
第12回～第15回	Verilog HDLの実習	<ul style="list-style-type: none"> シミュレータによる設計検証とFPGAによる実装テスト 7セグメントLEDデコーダ 各種乗算回路(乗算演算子, 部分積累算, Booth) 		<ul style="list-style-type: none"> シミュレーションによる設計検証 実装テストによる動作検証