

(科目コード : 8507920004JJ)

【改訂】第19版 (2015-04-03)

【科目】LSI工学

【科目分類】 専門科目 【選択・必修の別】 選択 【学期・単位数】 前期・1単位

【対象学科・専攻】 電子情報 4年

【担当教員】 木村 真也

【授業目標】

プログラマブル・ロジック・アレイ (PLA) の構造と論理式との関係を理解すること。
レジスタ・トランスファ・ロジック (RTL) の意味を理解し, 自ら制御を記述できること。
RTL記述から論理回路を設計できること。
大規模なデジタル・システムのデータ・パス部の構成方法を理解し, 設計できること。
大規模なデジタル・システムの制御部の構成方法を理解し, 設計できること。
パイプライン制御による高速化の仕組みを理解し, 説明できること。

【教育方針・授業概要】

本科目の総授業時間数は (45分×2) ×15回 = 22.5時間である。
デジタル・システムの構成方法について, モデル化の方法, 基本回路構成, 設計手法について解説する。デジタル・システムは大きくデータ・パス部と制御部の2つに分けることができる。データ・パス部はレジスタやメモリ, 演算回路といったデータを記憶し処理する部分を指す。制御部はデータ・パス部を制御するための制御信号を順次発生する回路で, いわゆる順序回路である。
本講義では, これらデータ・パス部と制御部について基本回路構成を示し, デジタル・システムの設計に必要な基礎を解説する。この講義は引き続き「LSI工学II」を受講する際の前提になる講義である。

【教科書・教材・参考書等】

教科書: コンピュータの設計と原理: 木村真也・鹿股昭雄: 自費出版
参考書: コンピュータの設計とテスト: 藤原秀雄: 工学図書

【授業形式・視聴覚・機器等の活用】

・講義が中心である。

【メッセージ】

授業に集中し, 必ずノートをとること。
課題は自ら取り組むこと。

【事前に行う準備学習】

前回の授業の復習をすること。

【成績評価方法】

[前期] 中間試験: 40%, 期末試験: 40%, レポート: 20%, レポートには課題を含む。

【達成目標】

	達成目標	割合	評価方法
1	プログラマブル・ロジック・アレイ (PLA) の構造と論理式との関係を理解し設計できる。	10 %	プログラマブル・ロジック・アレイ (PLA) の構造と論理式との関係に関する試験で評価する。
2	レジスタ・トランスファ・ロジック (RTL) の意味を理解し制御を記述できる。	30 %	レジスタ・トランスファ・ロジックに関する試験 (20 %) と課題 (10 %) で評価する。
3	大規模なデジタル・システムのデータ・パス部の構成方法を理解し設計できる。	30 %	大規模なデジタル・システムのデータ・パス部の構成方法に関する試験 (25 %) と課題 (5 %) で評価する。
4	大規模なデジタル・システムの制御部の構成方法を理解し設計できる。	20 %	大規模なデジタル・システムの制御部の構成方法に関する試験 (15 %) と課題 (5 %) で評価する。
5	コンピュータの高速化におけるCISCとRISCの原理を説明でき, RISCにおける具体的な高速化技法を説明できる。	10 %	大規模なデジタル・システムの制御部の構成方法に関する試験 (100 %) で評価する。

【本校の学習・教育目標】

- (C) 技術的問題解決のための専門分野の基本的知識を身に付ける
各学科における専門科目を学習することにより、技術的課題を理解し対応できる
- (D) 技術的課題を分析し、解決するためのシステムをデザインする基礎能力を身に付ける
- (D-1) 自然科学、基礎工学、専門工学の知識を用いて、現実の技術的課題を理解し、それを解決するための工夫ができる

【授業計画】(LSI工学)

回数	授業の主題	内容	レポート	宿題
第1回～第2回	論理のROM化とPLA化	・組み合わせ回路とROM, PLAの構成		
第3回	レジスタ・トランスファ・ロジック(1)	・大規模システムの動作記述の手法	・機械語命令の動作記述	
第4回	レジスタ・トランスファ・ロジック(2)	・レジスタ・トランスファ・ロジックから論理回路の合成	・RTL記述からの手動回路合成	
第5回～第6回	データ・バス部の設計(1)	・バス構成 ・レジスタ, メモリ ・セット・アップ・タイムとホールド・タイム ・データ・バス部の動作速度の決定要因と算出 ・キャリー・セーブ・アダ. ・バレル・シフタ	・2-1マルチプレクサを用いたバレル・シフタ	
第7回～第8回	データ・バス部の設計(2)	・部分積累算型乗算回路 ・ブースの乗算回路 ・アレイ型乗算回路	・部分積累算型乗算回路のデータ・バス部と制御回路の設計	
第9回～第10回	制御部の設計(1) ～ランダム・ロジック制御～	・1状態1フリップフロップ法 ・レジスタ・デコーダ法 ・カウンタ・デコーダ法 ・ミラー型とムーア型 ・動作速度の決定要因と算出		
第11回	制御部の設計(2) ～PLA制御～	・基本構成		
第12回～第13回	制御部の設計(3) ～マイクロプログラム制御～	・基本構成 ・水平型と垂直型 ・パイプライン制御による高速化 ・ディレイド・ブランチ		
第14回～第15回	コンピュータのと制御	・処理時間の高速化の原理 ・CISCとRISCの発想 ・RISCにおける高速化の手法		